

先进封装 2026 行业简析报告

THE BRIEF MARKET ANALYSIS REPORT ON ADVANCED PACKAGING

MICR



报告摘要

Report Summary

在摩尔定律制程微缩红利逐渐衰减的背景下，先进封装已成为“超越摩尔”的核心路径。通过CoWoS等晶圆级异构集成技术，行业实现了从传统单体芯片向多芯片集成生态的质变，为AI大模型和高性能计算提供了关键的互连密度与电气性能保障。目前，全球先进封装市场正迈入由AI算力驱动的阶梯式高速增长通道，CoWoS总产能的供需偏紧状态预计将持续至2027年。

全球产能格局正在经历由地缘政治博弈引发的去中心化重塑，供应链从高度集中于中国台湾向美、日、东南亚及中国大陆多极化转移。产业结构层面，代工厂凭借中道工艺壁垒占据利润顶点，并与头部封测厂形成“制造+协同”的闭环生态。同时，下游算力客户采购模式发生颠覆，云服务巨头开启“去中间化”直接采购，深入介入底层硬件的客制化设计。

展望未来，硅光子、玻璃基板及国产Chiplet标准将为行业注入全新增长红利，本土龙头如长电科技正通过自主研发异构集成平台加速国产替代。然而，行业仍需面对地缘脱钩引发的断链风险、超高功耗带来的物理“热墙”效应以及纳米级检测的良率成本红线。整体而言，先进封装已演变为重资产、高壁垒的前中道集成工业，是未来全球算力竞争的物理基石。

01. 先进封装（CoWoS）的定义、技术特性及主要产品分类

- 随着传统单体芯片设计逼近光刻机视场极限（约858平方毫米），半导体行业在制程微缩层面上面临严重的物理与经济限制。先进封装作为超越摩尔定律的核心路径，通过在晶圆级中介层上实现异构多芯片集成，极大地提升了系统的互连密度与电气性能。
- CoWoS利用高纵横比的硅通孔（TSV）与微凸块（Micro-bump），将高性能计算核心与高带宽内存（HBM）横向侧靠或纵向堆叠于共享的中介层之上。这种架构将相邻芯片间的电学互连长度缩短至毫米级，大幅度降低了引脚寄生电容和电阻，进而在维持优异热管理的条件下，提供极高的数据传输带宽、超低的延迟以及出色的功耗控制，成为现代大语言模型和高性能计算的基础硬件保障。
- 从关键数据来看，从传统基于焊料的微凸块技术向混合键合技术跃进时，互连间距直接从40微米以上骤降至10微米以下，实现了系统集成密度的数量级飞跃，这是支撑未来超大算力集群的工艺基石。

CoWoS核心工艺分支及衍生形态

技术路径	支撑介质	互连形式	关键凸块间距	典型线宽线距	典型应用芯片
CoWoS-S	单体硅中介层 (Monolithic Si)	TSV + 微凸块	40 μm - 55 μm	Sub-1.0 μm	NVIDIA H100 / AMD MI300
CoWoS-R	有机聚合物RDL基板	RDL铜布线 + 微凸块	>55 μm	2.0 μm - 5.0 μm	5G高阶射频与中低阶网络ASIC
CoWoS-L	有机RDL + 局部硅互连桥 (LSI)	LSI硅桥 + TIV通路	40 μm - 55 μm	Sub-1.0 μm (局部硅桥内)	NVIDIA Blackwell B200
3D SoIC	无中介层 (直接对贴)	铜-铜直接混合键合 (Cu-Cu)	Sub-10 μm (第一代为9 μm)	极细微/前道级	高端算力SoC及次世代3D HBM5

02. 全球先进封装的市场演变

- 全球先进封装市场已经迈入阶梯式高速增长通道，核心驱动力在于数据中心高性能计算与云端大语言模型训练对超算芯片的刚性消耗。在半导体传统周期性波动的背景下，先进封装凭借极高的单价溢价和刚性需求，表现出远超整体封装测试行业的抗周期抗波动成长韧性。
- 回顾并预测2021-2030年间全球先进封装与CoWoS市场的演变进程，可以清晰划分为三大极具代表性的发展阶段：

先进封装与CoWoS市场三大阶段

1

2021-2023年
温和增长与地缘调整期

- 在生成式AI爆发前夜，半导体行业主要受消费电子去库存波及，2023年先进封装市场整体产值同比下降3.5%。此时，行业重点在于评估地缘政治下的合规风险与本土封装基地的初步投资。

2

2024-2025年
AI算力需求井喷期

- 英伟达H系列/B系列及AMD MI系列芯片出货急剧增加，带来前所未有的CoWoS封装及高带宽内存（HBM）的集成缺口。即便台积电连续两年将整体产能翻番，但2025年产能依然无法填补因大模型训练导致的全球性短缺，高端算力芯片的交付周期因封装瓶颈被普遍拉长。

3

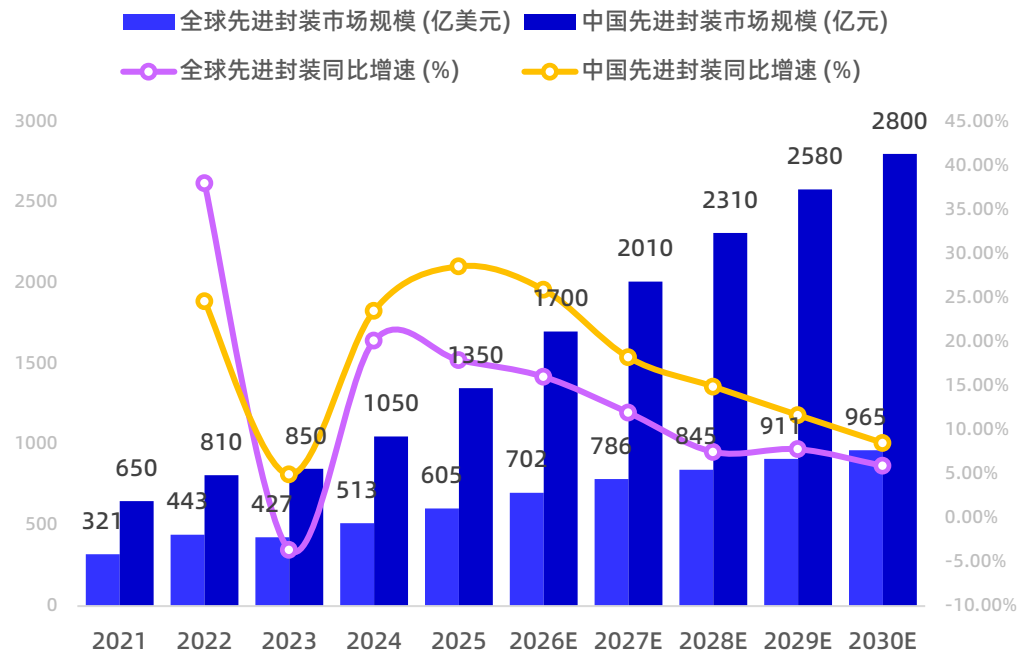
2026-2030年（预测）
量价平衡与高质量稳健成长期

- 2026年是先进封装行业迈入稳健发展的重要分水岭。随着台积电、日月光、安靠等厂商前期庞大的固定资产投资正式转产，全球CoWoS总产能供需缺口将从前期的20%大幅收窄至10%左右。在大宗标准化进程和工艺良率提升下，行业迈入‘量价平衡、良率驱动’的高质量轨道。

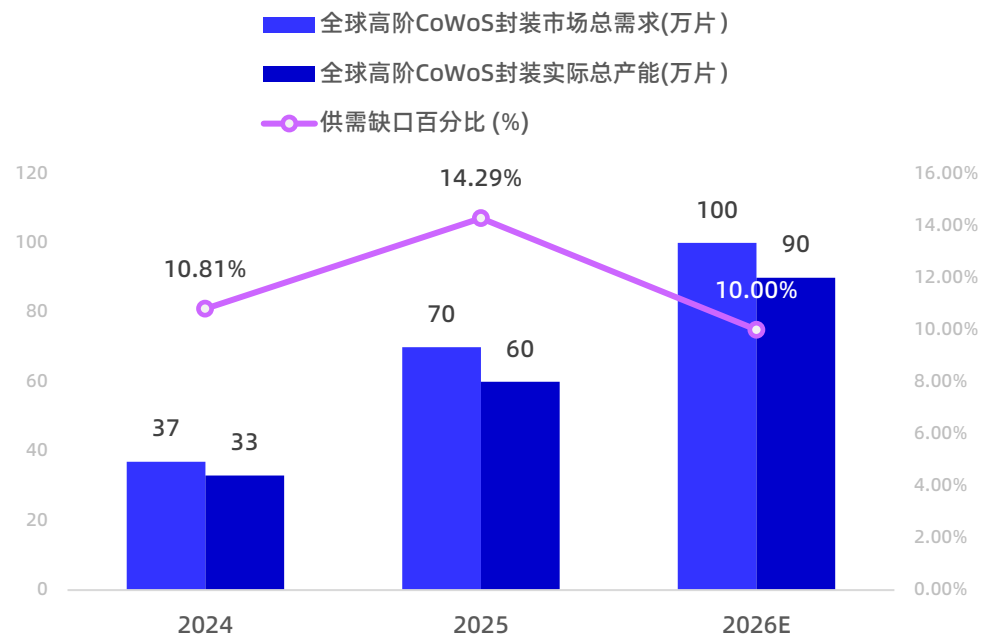
03. 全球先进封装市场规模及变化趋势

- 从数据对比来看，中国本土先进封装市场由于国产替代政策的强力驱动，以及本土芯片设计公司和自主算力项目的爆发，其年度增速显著跑赢全球平均水平，在整体产业结构中的战略地位稳步提升。
- 根据权威机构数据预测，虽然台积电等晶圆代工厂正在进行激进的扩产进程，但截至2026年底，由于多芯粒集成的芯片面积成倍放大，供给端的实际产出依旧存在约10万片的物理缺口，供需偏紧将至少延续至2027年。

2021-2030E 全球与中国先进封装市场规模及增速



2024-2026E 全球CoWoS中介层晶圆供需缺口



04. 核心演变：从“传统倒装/打线”向“高密度晶圆级生态”

- 全球集成电路封测产业的技术结构正发生历史性的质变。传统的打线键合和中低密度的倒装芯片正在失去在产值占比中的统治地位，以晶圆级多芯片集成（CoWoS）、硅桥连接（EMIB）以及三维无凸块混合键合为代表的先进封装方案，已成为产业规模增长的最核心引擎。这种跃迁实质上是摩尔定律减速后，单片集成电路向异构异质系统级芯片（Chiplet）生态发展的必然规律。
- 市场预测数据显示，传统封装的产值占比在2022-2026年内将大幅收缩，而高阶2.5D/3D及混合键合封装的产值比例在AI浪潮的推波助澜下实现了成倍翻番，正成为全球封测产业链利润分配和技术竞争的最主要高地。

先进封装核心品类的演进路径可以划分为三大阶梯

CoWoS-S/L与HBM集成的绝对刚需化

在追求极致存算带宽的AI训练与推理芯片中，将GPU/ASIC与多层HBM堆叠片集成于共享的中介层，已成为商业化上的绝对刚需。

2.5D RDL/Fan-Out在中高阶ASIC中的稳步攀升

中低成本的扇外型封装和基于有机RDL中介层的2.5D封装，正在稳步提升其在大宗商用车及边缘计算网络中的渗透率。

以SoIC/Foveros Direct为代表的纯3D IC方案商业化爆发

基于无凸块混合键合的纯3D IC方案，能大幅解决散热与阻抗痛点，该技术在2025年后迎来了规模化商业流片的爆发期。

全球封装市场技术大类产值份额及变化趋势

	2022年 产值份额	2026E 产值份额	
传统封装	53.0%	36.0%	消费电子需求萎缩，在电源管理和模拟IC中维持底盘
先进低阶封装	39.0%	45.0%	移动AP及主流CPU的主流载体，正逐步被高阶Fan-Out挤压
高阶2.5D/3D封装	7.2%	15.5%	AI超算加速器、高性能数据中心处理器与云端ASIC
前沿3D堆叠与混合键合	0.8%	3.5%	顶级3D计算内核堆叠、高叠层3D HBM4核心堆叠

05. 先进封装行业发展的PEST四维驱动因素分析

从PEST框架系统剖析先进封装行业的核心发展驱动因素：

- 政治层面，全球地缘博弈加剧，各国芯片法案将先进封装列为产业链安全战略重点并配套补贴，叠加出口管制趋严，倒逼全球产能向区域化多活布局演进；
- 经济层面，摩尔定律制程微缩红利衰竭、制造成本非线性攀升，推动行业转向异构集成方案降本增效，同时云厂商AI算力基建的高额资本开支持续释放封装需求，支撑行业盈利空间；
- 社会应用层面，生成式大模型、高阶智能驾驶产业加速落地，对高带宽、低时延、高可靠的高密度封装形成刚性需求，拉动技术向多场景快速渗透；
- 技术层面，Chiplet设计范式普及与UCIe互连标准统一降低了集成门槛，混合键合、玻璃基板等技术突破，为超大面积高性能封装的持续演进筑牢了技术根基。

先进封装行业PEST体系分析



06. 先进封装供应链全球化与本土化现状：地缘波动中的产能韧性

- 长期以来，高密度CoWoS和高密度晶圆级先进封装产能由于台积电在先进制程上的绝对主导权，导致其制造与流片高度集中于中国台湾的少数封装基地中。这一集中度在地缘局势动荡、供应链弹性和运输安全面临多重不确定性的背景下，引发了全球芯片采购巨头的系统性担忧。在多重压力作用下，全球先进封装产能正经历向美国、日本、马来西亚、越南以及中国大陆等多地转移的极化发展阶段。
- 虽然中国台湾目前依旧盘踞先进封装最大制造端，但北美及中国大陆市场在政策与自主安全诉求的双重推动下，其份额正在快速上行，区域化、去中心化的供应链格局已经确立。

先进封装产能区域双循环分布特征

欧美地区 高端算力供应链本土化闭环

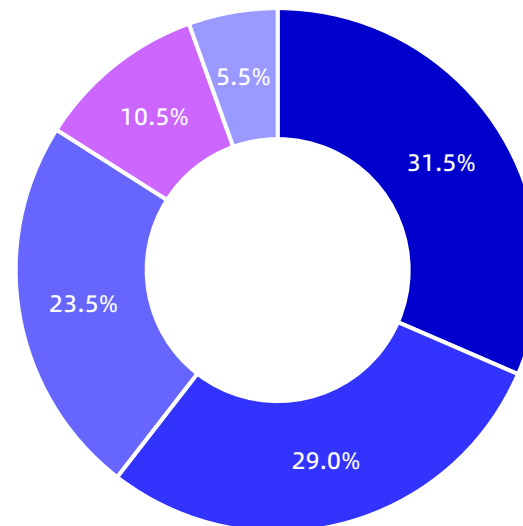
以英伟达、超微、苹果等为代表的美系设计巨头，正配合本土政策强力拉动高阶后道产能落地。台积电已在亚利桑那州投建两座先进封装工厂。英特尔、安靠等厂商也在美国和欧洲加速推进高密度基板集成线的建设，以实现高端算力硬件的本土闭环供应链。

亚太及中国大陆 本地封装链条的替代韧性

作为全球传统封测产值占比最高的地区，东南亚因人力和电力成本优势，正迎来大规模中高端先进封装的扩充。与此同时，中国大陆本土由于进口设备和核心化学材料进口受限，本土封测和代工龙头在国产化替代、自主算力芯片量产的政策红利驱动下，国产替代的节奏和生产工艺稳定性正在经历快速的台阶式跨越。

2026E全球先进封装区域市场份额预测

■ 中国台湾 ■ 北美地区 ■ 亚太其他地区 ■ 欧洲地区 ■ 中国大陆



07. 先进封装各细分技术路径市场表现对比

- 在2025至2026年高密度系统集成市场中，各晶圆代工厂及头部IDM所提出的技术路线展现出差异化的商业表现与应用范围。通过横向对比可以发现，台积电的CoWoS技术体系在产值规模和客户渗透层面上占据绝对的主导权。特别值得注意的是CoWoS-L的生产良率，虽然结构比传统CoWoS-S更加复杂，但得益于局部硅互连桥规避了大面积硅中介层极易产生针孔或杂质的物理局限，其目前的综合生产良率反而优于同期大面积CoWoS-S，这也解释了英伟达Blackwell等大尺寸芯片在2025-2026年极力向CoWoS-L技术倾斜的底层商业决策。相比之下，三星的I-Cube技术虽然技术指标与台积电大致对等，但在流片良率和第三方客户拓展层面上依然面临艰难挑战。

2025年全球主流高阶先进封装路径商业化表现横向对比

核心技术路径	主导运营厂商	2025年对应市场规模	2025年综合工艺生产良率	2025年主流芯片客户	所处产业发展阶段	2026年后的业务成长潜力评价
CoWoS-S	台积电	约110亿美元	78% - 85%	NVIDIA H100/H200, AMD MI300	成熟量产期	稳健 受制于大面积硅中介层的供应链制造成本
CoWoS-L	台积电	约65亿美元	82% - 88%	NVIDIA Blackwell B200 独家	良率爬坡放量期	极高 大尺寸异质集成的黄金标杆
Foveros (含Direct)	英特尔	约22亿美元	75% - 82%	Intel自研Meteor Lake及核心高端客户	内部量产期	较强 在英特尔自研体系及IFS对外代工中闭环推广
I-Cube (含I-Cube-E)	三星	约12亿美元	70% - 78%	三星自研芯片及定制ASIC	商业化推广期	中等 面临客户信任和前中道生态重建阻力
高阶电性OSAT 2.5D	日月光 安靠	约45亿美元	90% - 95%	博通交换芯片, 谷歌自研TPU	外溢转产期	高 承接代工厂释放出来的后段组装与测试溢出订单

08. 先进封装产业链的详细拆解与价值链分配

高密度先进封装工艺并非单一厂家的独立流片，而是涉及一个涵盖前中后道三大物理制造边界的复杂、高度协同的产业链生态：

- 上游（核心设备与材料）：技术红线和垄断的发源地。设备端包括用于制造硅中介层的刻蚀机和极紫外/深紫外光刻机，用于TSV钻孔的高能激光打孔和测量设备，以及对精度要求达到百纳米级的超高精度固晶机。材料端则包括直接决定互连布线电气性能的ABF载板、环氧模塑料，以及高纯铜电镀液、前驱体等化学耗材。
- 中游（中道中介层加工与高阶组装测试）：中介层流片和晶圆级键合等中道工艺主要由具备前道晶圆代工制造能力的晶圆厂掌控。后道测试、系统级系统集成和整包外壳封装通常由日月光、安靠、长电科技等头部OSAT厂商协作，共同分担并消化中游产能。
- 下游（Fabless芯片设计与最终云端应用）：包括掌握顶层芯片IP和系统集成的Fabless厂商，以及越过硬件中间商、直接在代工厂订货的高端云服务提供商。

先进封装全产业链核心环节职能与毛利率区间对比

上游核心设备

高垄断 一票否决

45%-60% 综合财务毛利率区间

- 核心环节：临时键合设备、晶圆检测设备
- 核心壁垒：高纵横比打孔、超高精度对贴与微纳量测

上游高端材料

良率决定利润

35%-45% 综合财务毛利率区间

- 核心环节：ABF高层载板, GMC封装料
- 核心壁垒：翘曲应力匹配、超低介电损耗与高散热填料

中游Foundry

高垄断 占据利润顶点

50%-55% 综合财务毛利率区间

- 核心环节：硅中介层TSV制造与晶圆混合键合
- 核心壁垒：光刻电镀一体化集成, 生态联盟绑定

中游OSAT

重资产 利润敏感度高

15%-25% 综合财务毛利率区间

- 核心环节：高阶后道测试、整包组装
- 核心壁垒：多芯粒精密贴装与高频电性缺陷检测

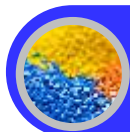
09. 产业链上游：核心设备进口受限与关键材料的供应链风险

- 在先进封装工艺向晶圆前道化方向挺进的背景下，后道对高精密、高容错前道制造设备的依赖度上升，导致进口受限和合规审查红线成为了我国半导体产业突围道路上的巨大痛点。目前，用于大尺寸多芯粒集成的超高精度临时键合与解键合设备、高纵横比TSV深孔刻蚀与测量设备，以及用于混合键合的Besi/东方晶源等先进固晶对贴设备，依然面临极其严苛的出口管制限制，其中国内本土产线对这些高精密设备的国产化自主配额率目前普遍偏低，往往只有15%至25%左右，核心高端设备的整体交付周期被延长至12至18个月以上，严重拖累了本土先进封装产线二期的通线进程。

三大关键材料供应链风险与国产替代现状



ABF载板



颗粒状环氧模塑料



TSV 高纯电镀液 与特种前驱体

核心风险 与痛点



- AI封装尺寸放大，压合层数升至18层以上，热膨胀失配导致良率非线性下滑

- HBM堆叠核心保护导热耗材，Low- α 填料配方技术壁垒极高

- 需达到PPB级超高纯度，微量杂质即可造成整批晶圆信号失效

产业格局与 替代现状



- 全球头部厂商CR10达83%，中国大陆高层数先进基板自给率仅约5%，高度依赖外包

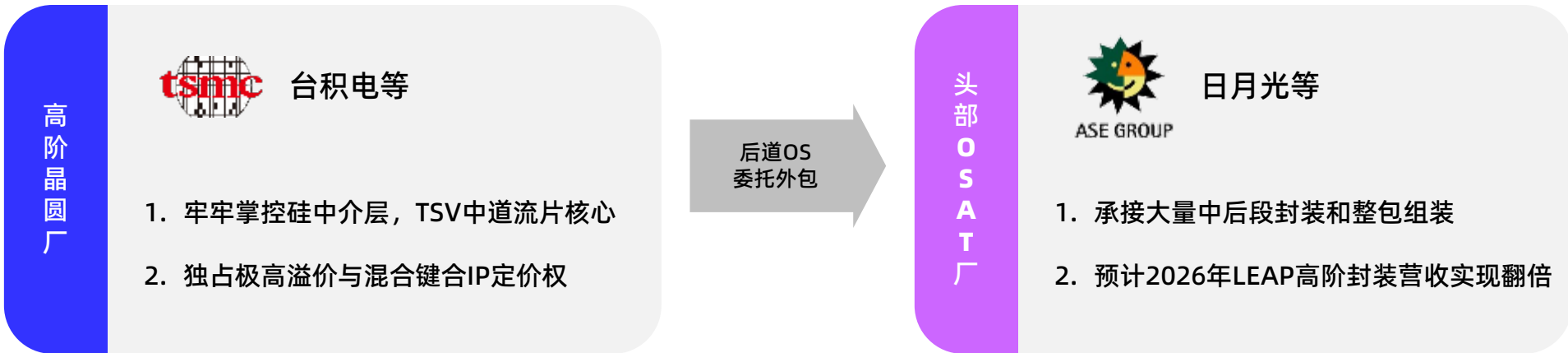
- 海外厂商绝对垄断，国内高端GMC自给率仅5%~10%，本土方案处客户验证爬坡阶段

- 本土替代仍处于实验室试样向量产验证转产的攻坚期，卡脖子风险突出

10. 产业链中游：从规模代工走向“晶圆制造+生态协同”的双重垄断

- 在半导体前道工艺技术节点物理逼近单原子厚度界限的当下，先进封装已彻底脱离了传统后道组装手工制造的传统定位，演变为一门具备极其厚重资产投入和极高前道工艺物理壁垒的晶圆中道工业。这种技术前移导致全球先进封装中游代工市场的集中度创下了半导体工业史上的新高。
- 台积电正是通过这一技术演进确立了无可动摇的生态统治力。其推出的3D Fabric联盟与开放创新平台协同开发网络，将上游EDA辅助工具厂商、后道材料与基板厂，以及下游芯片设计大厂直接捆绑于统一的标准和设计版图内。设计商如果选用台积电的前道3纳米或4纳米进行晶圆流片，其异构芯粒之间的中介层高频布线网络将直接在台积电的AP6/AP7/AP8封装工厂进行无缝无损封装。这种一体化的流片机制形成了实质上的设计和工艺“闭环”，任何中途切换到第三方OSAT的尝试都将面临重新流片、上亿美元IP设计报废和上市交付延期一年的风险，这种生态壁垒成为了阻击其他追赶者的最强护城河。
- 面对极其庞大的AI算力订单洪峰，台积电等晶圆代工厂由于其本身前道固定开支极其昂贵、工程精力有限，无法大面积分摊低利润的重体力后段组装和电性测试工序。因此，自2024年底起，台积电加速将CoWoS技术中的后段基板组装及部分系统级最终电测，委外包给日月光、矽品及安靠等长期战略伙伴。在这种竞合转换下，晶圆代工厂专注于附加值最高、制造最难的中道硅片及混合键合环节，而传统OSAT巨头通过大幅扩建自身2.5D/3DLEAP高阶封装产线，承接代工厂流出的溢出代工红利，两者的深度生态协同构成了高阶系统芯片流片的物理闭环。

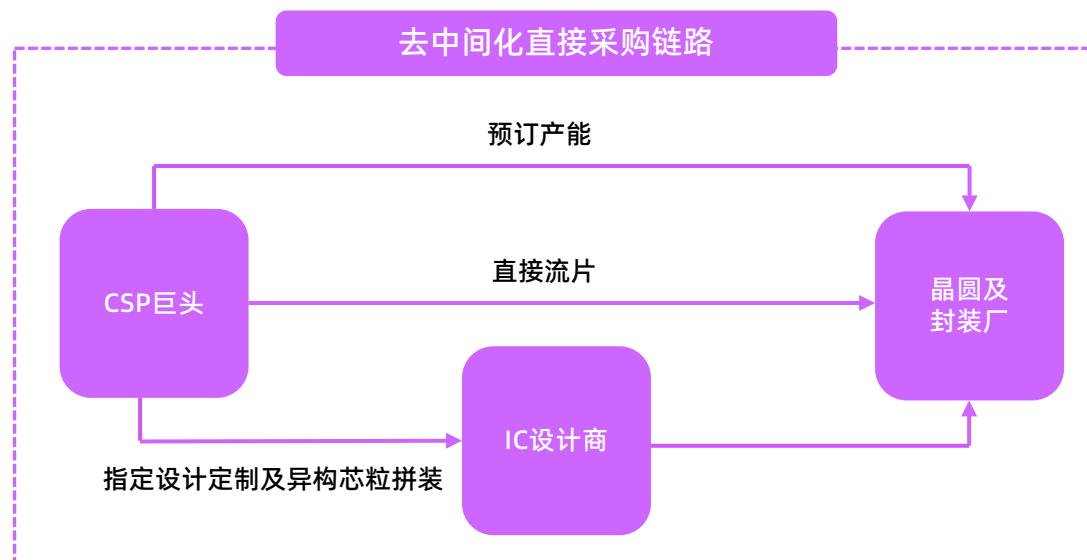
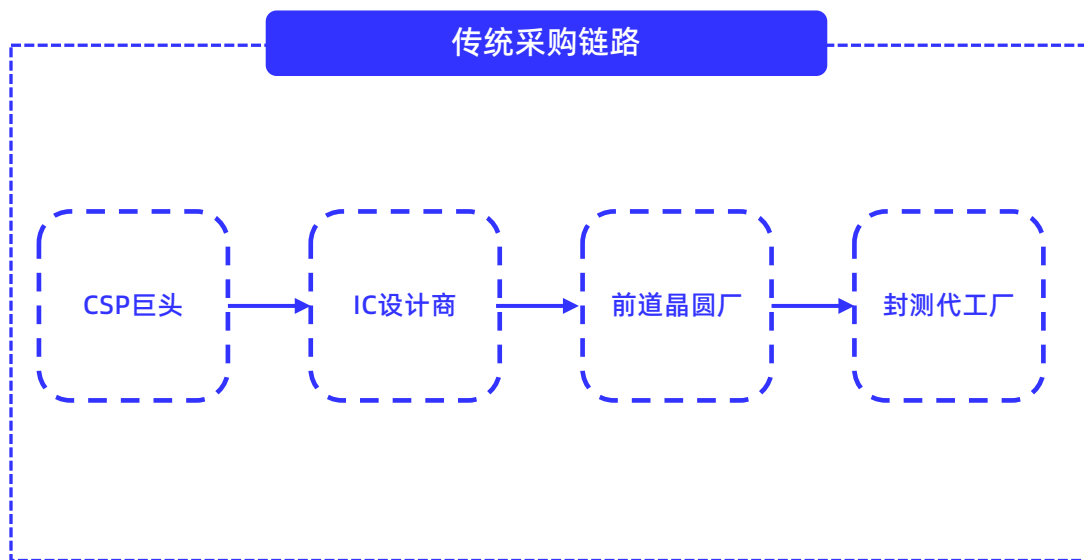
中游市场的“竞合转换”格局



11. 产业链下游：算力客户变迁与采购模式去中间化

- 先进封装底层核心采购大客户的画像结构在过去5年内经历了彻底的颠覆。2021年之前，先进封装的核心消耗主力主要来源于消费级移动端芯片，而随着2023年大模型训练需求的井喷，以超算中心、AI算力服务器、云端大数据吞吐网络交换以及汽车高阶智能驾驶域控制器等为代表的超大功率算力硬件，已经全面接管并重构了先进封装下游的客户画像。
- 为了确保自身人工智能云服务的算力节点不会因底层GPU交付迟缓而出现瘫痪，北美及国内的大型互联网巨头已不满足于单纯扮演英伟达等IC设计公司的硬件买单者角色。这些CSP巨头在强力推进自研ASIC的道路上，选择直接越过传统的供应链中间商，直接派遣其硬件工程团队与台积电先进封装核心总厂、日月光等头部高阶封测代工厂进行直接的技术方案对接与产能锁定，直接自备资金在代工厂预订大批高阶CoWoS代工产能。通过这种采购范式的“去中间化”颠覆，云端大巨头可以直接指定材料配方、直接控制底层芯粒的拼装组合版图，使得先进封装环节在整个硬件供应链中演变为高度客制化、深度软硬件协同对齐的算力底层核心层。

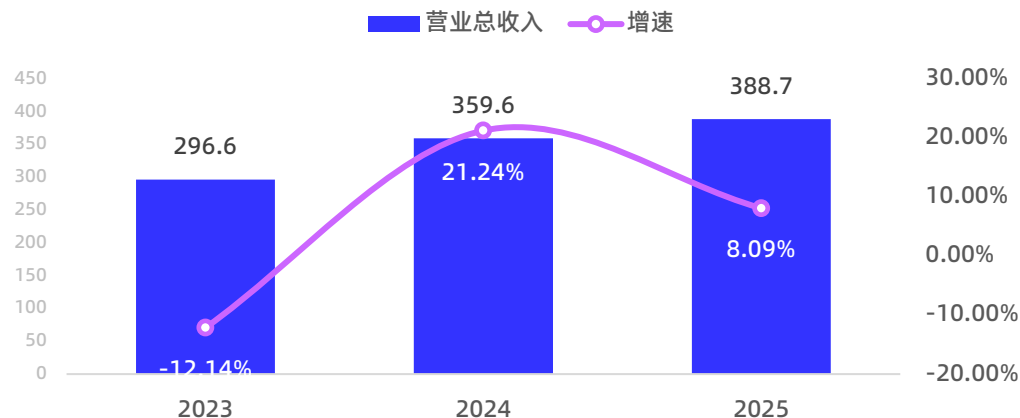
传统采购链路与直接采购链路对比



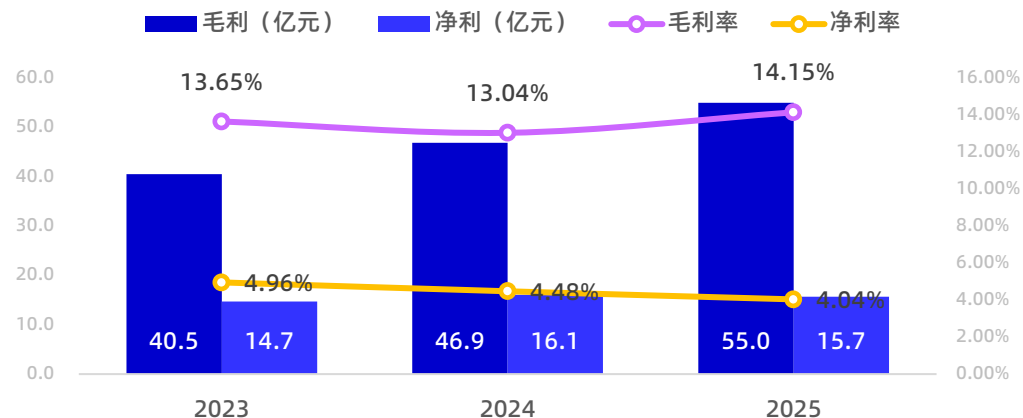
12. 中国先进封装行业标杆企业：长电科技

- 江苏长电科技股份有限公司（股票代码：600584）成立于1972年，总部位于江苏江阴，实际控制人为华润集团，是全球第三、中国大陆规模最大、技术实力最强的半导体封测龙头企业，也是国内唯一跻身全球封测第一梯队的厂商，全球市占率约12.2%，国内市占率连续多年稳居首位。
- 公司主营业务覆盖芯片封装、成品测试、晶圆中测、设计仿真等一站式芯片成品制造服务，拥有八大生产基地与20余家全球业务机构，员工约2万人，累计专利超3100项，其中发明专利占比超80%。技术层面，公司自研XDFOI®多维异构集成平台可对标台积电CoWoS，是国内少数同时掌握2.5D/3D堆叠、HBM高带宽存储封装、Chiplet异构集成、CPO光电合封全栈先进封装技术的厂商，核心工艺良率达到国际一线水平，深度绑定英伟达、AMD、SK海力士、华为昇腾等全球头部客户，是支撑国内半导体产业链自主可控的核心中坚力量。
- 近三年长电科技营收保持持续增长，归母净利润呈现先升后降的分化走势。营收增长的核心动力来自公司先进封装产能的持续释放，AI算力、汽车电子等高景气赛道需求快速放量，叠加产品结构向高端异构封装升级，同时受益于全球封测产能区域化转移与国内芯片国产替代的双重产业红利，整体经营规模稳步扩容。利润端的波动则与公司战略投入节奏高度相关，前期利润随营收规模扩张、运营效率优化同步提升；后期利润小幅回落并非主业盈利能力走弱，主要是公司前瞻性布局高端封装产线，新产能爬坡阶段固定资产折旧压力加大，同时研发投入大幅加码、高端核心耗材成本波动共同压制了短期利润表现，同期毛利率的逆势改善，也印证了高附加值业务占比提升的盈利修复逻辑，利润承压属于战略扩张期的阶段性现象。

2023-2025年长电科技营业总收入（亿元）及增速（%）



2023-2025年长电科技毛利与净利数据



13. 先进封装行业未来发展的核心机遇

硅光子与CPO（共封装光学）的产业化跃迁

传统的铜质互连导线在超高带宽信号传输时，面临严重的物理瓶颈。硅光子技术利用激光束替代电信号作为芯片内部及芯片间的数据互连介质，是彻底突破铜物理限制的最佳通路。CoWoS平台凭借其极其精细的RDL铜布线和共享微凸块，为光电芯片异构集成提供了一个无可比拟的原生对贴平台，即共封装光学（CPO）。预计到2026年，用于1.6T乃至3.2T极高频交换内核的光电共封装模块将正式迎来实质性规模商用出货，为深陷铜物理发热墙困扰的高性能算力集群提供根本性的互连能效跨越机遇。

01

面板级封装（FOPLP）与玻璃基板带来的高成长蓝海

圆形硅片中介层受制于12英寸半导体标准视场极限，强力拉动了方形大面积“面板级封装”的技术探索。采用方形载板不仅能够成倍缩减边缘废边废料，将单个封装生产效率拉升至圆形晶圆平台的4.5倍，更能大幅消纳大批高阶有机和玻璃基材料。玻璃核心基板优异的表现，已被英特尔、苹果等为代表的巨头强力定调为下个世代高阶算力的“生存级材料”。预计到2026年，基于TGV玻璃激光高精穿孔技术和玻璃表面微布线的高端设备材料市场规模将迎爆发式增长，开辟出一条全新的极富成长价值的蓝海赛道。

02

UCIe标准下的国产Chiplet换新红利

面对地缘合规和前道先进制程获取受限的双重政治红线，利用先进封装将两颗或多颗采用国产成熟工艺流片的芯片进行三维堆叠，拼装出等效于前道单颗先进制程物理计算性能的系统整包方案，已成为我国实现算力自研突围的战略主通路。随着全球UCIe统一接口互连标准的全面普及和标准化落地，各异质芯粒之间的物理通信隔阂被大幅推平，国内头部封测厂和自主芯片设计公司正迎来前所未有的“国产Chiplet系统换新”历史红利期，本土先进流片量产渗透率正以超常规的速度向上行进。

03

地缘重塑下的供应链2.0运营溢价

在多极化设厂和供应链分散建设的大历史潮中，全球多活、区域本土化的后道节点建设固然在短期内带来重资本开支痛点，但长期而言，其建立了“供应链2.0 双循环体系”。多活供应体系建立后，跨国设计巨头将能够灵活调配代工和封装流片订单，就近获取高密度封装和高速测试，使后道服务商在建立高可靠、地缘合规制造网络的过程中获得更高的地缘运营溢价。

04

14. 先进封装行业未来发展的主要挑战

地缘政治脱钩带来的系统性断链风险

先进封装在工艺向中道晶圆级方向转移的过程中，其对前道微米/纳米级制造设备的依赖度上升，这导致任何地缘管制政策和技术封锁红线的收紧，都将对已开工的新兴产线带来系统性断裂打击。先进封装产线一旦缺失超高精度键合、深孔刻蚀或先进已知好芯片电性量测测试等关键卡脖子技术设备，或者无法通过出口合规安全审计，耗资数亿乃至数十亿美元建成的厂区将陷入无机可用、无法连线投产的严重停产泥潭，技术脱钩和系统性供应链断裂风险依然盘踞在行业的头顶。

01

高资本开支下的产能过剩焦虑与坏账折旧危机

面对过去三年突如其来的AI算力订单，晶圆代工和OSAT龙头纷纷砸入天价资金扩建高精密封装产线并大批采购设备。然而，半导体物理规律表明，后道封装制造同样具备极强的周期性和应用敏感特征。一旦生成式AI在下游应用和商业化变现模式上无法形成闭环、导致CSP巨头和终端互联网厂商被迫削减算力资本开支和芯片订单单，那么前期极其庞大的先进封装产能将在一夜之间转化为无比沉重的固定资产折旧包袱，引发行业系统性的净资产收益率下滑与高昂设备坏账计提风险。

02

物理功耗极限与“热墙效应”对封装CTE匹配的挑战

当单封装体内集成的计算内核Die数量不断增加，且周围紧密环绕着更多高带宽内存HBM时，单颗系统级芯片封装的整体功耗正快速迈入700W乃至1000W的恐怖禁区，发热量呈非线性聚集，形成了严重的物理热墙效应。由于组成整个封装体的各种材料有着截然不同的热学系数，在芯片急剧发热、断电降温的剧烈冷热循环中，极小的热膨胀系数失配都将产生巨大的内部剪切应力，导致引脚微凸块瞬间发生剪切断裂或封装基板大面积翘曲分层，对整体封装工艺提出了前所未有的物理挑战。

03

纳米级检测难度飙升与“已知好芯片”（KGD）良率成本红线

面对动辄数万根精细引脚、极细微间距的高阶计算芯片，传统基于物理探针的物理测试极易压坏或损毁微小的凸块结构、无法进行高频带载全功能电性缺陷检测，导致隐性坏片极易混入最终晶圆键合流程中，造成整颗高价芯片在中道键合后出现复合失效报废，这直接触碰了先进封装在超大算力时代下进行大规模低成本量产的“良率成本红线”，良率控制已演变为行业最核心的生存拷问。

04

版权说明

本报告为简版报告，内容为嘉世咨询研究员通过桌面研究整理撰写。如有深度调研需求，请联系：
mcr@chinamcr.com或021-52987060；

本报告中的所有内容，包括但不限于文字报道、照片、影像、插图、图表等素材，均受《中华人民共和国著作权法》、《中华人民共和国著作权法实施细则》及国际著作权公约的保护。

本报告的著作权属于上海嘉世营销咨询有限公司所有，如需转发、转载、引用必须在显著位置标注出处，并且不得对转载内容进行任何更改。

